

Arten - Definitionen

- Microprocessor ( $\mu P$ )

Mikroprozessoren bilden die Zentraleinheit eines Computers (CPU). Speicher, Controller und Ein-/Ausgabeeinheiten sind an die CPU über Bussysteme angeschlossen.

- Microcontroller ( $\mu C$ )

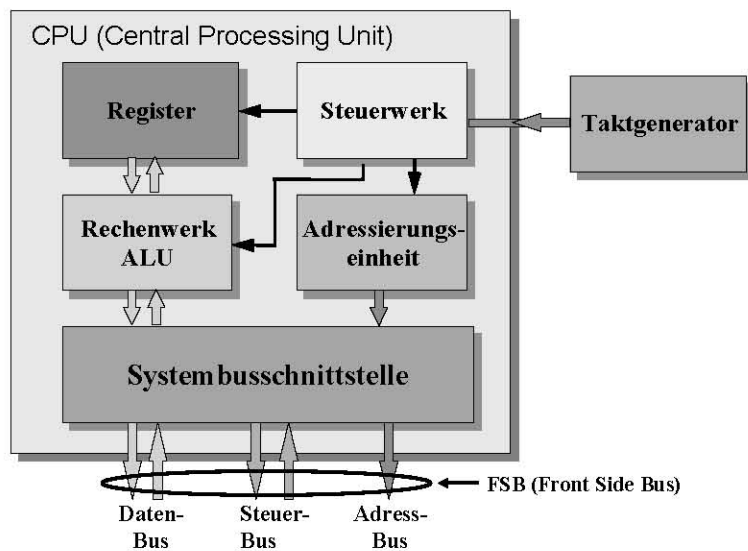
Mikrocontroller sind Prozessoren, die neben der CPU auch Speicher und eine große Zahl peripherer Baugruppen (Ports, Timer, A/D-Wandler ... ) auf dem Chip enthalten. Sie werden hauptsächlich für Steuer- und Regelungsaufgaben eingesetzt.

- Digital Signal Processor (DSP)

Digitale Signalprozessoren sind spezielle Prozessoren zur Ausführung von zeitkritischen, sich wiederholenden und rechenintensiven Aufgaben. (z. B. im Handy, in Messgeräten)



Aufbau einer CPU



## Die CPU (Central Processing Unit)

- **CPU (Prozessor):**  
Rechen- und Steuereinheit eines Computers; holt Befehle aus dem Speicher, decodiert sie und führt sie aus.
- **Steuerwerk:**  
Steuert die internen und externen Abläufe der CPU.
- **Rechenwerk bzw. ALU (Arithmetic Logic Unit):**  
Führt arithmetische und logische Operationen aus, die vom Steuerwerk koordiniert werden.
- **Register:**  
Kleine, sehr schnelle Zwischenspeicher mit sehr kurzer Zugriffszeit.
- **Systembusschnittstelle:**  
Treibt Adress-, Daten- und Steuerbus (FSB).
- **Cache:**  
Schneller Zwischenspeicher zur Beschleunigung der Speicherzugriffe.
- **Reset-Logik:**  
Versetzt die CPU nach einem Systemsart in einen definierten Anfangszustand.



## Der FrontSide Bus

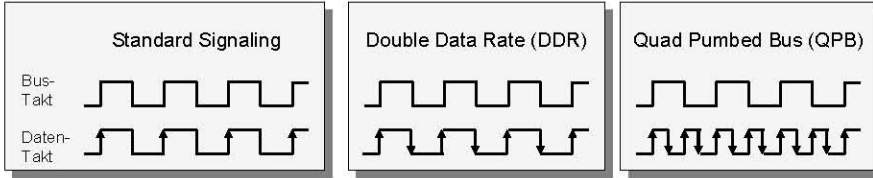
- Der **FrontSide Bus** (externer Prozessorbus) verbindet die CPU (Prozessor) mit der Peripherie (Chipsatz).
- Er ist deutlich niedriger getaktet, als die CPU intern und stellt damit den **Flaschenhals** bei der Kommunikation zwischen Verarbeitungseinheiten und der Peripherie dar.
- Die interne CPU-Taktfrequenz (3 GHz) ist ein Vielfaches der FSB-Frequenz (266 MHz)
- **Prozessortakt = FSB \* Multiplikator**; (Bsp.: 3.192 MHz = 266 MHz \* 12)

Der FSB besteht aus:

- **Datenbus:**  
Transport der Daten zwischen Rechenwerk, Hauptspeicher und dem Ein-/Ausgabesystem.
- **Adressbus:**  
Übertragung der Adressen an den Hauptspeicher zwecks Anwahl der Speicherplätze (36-Bit Bus kann 64 GB adressieren).
- **Steuerbus:**  
Übertragung der Steuersignale zwischen Steuerwerk und Peripherie



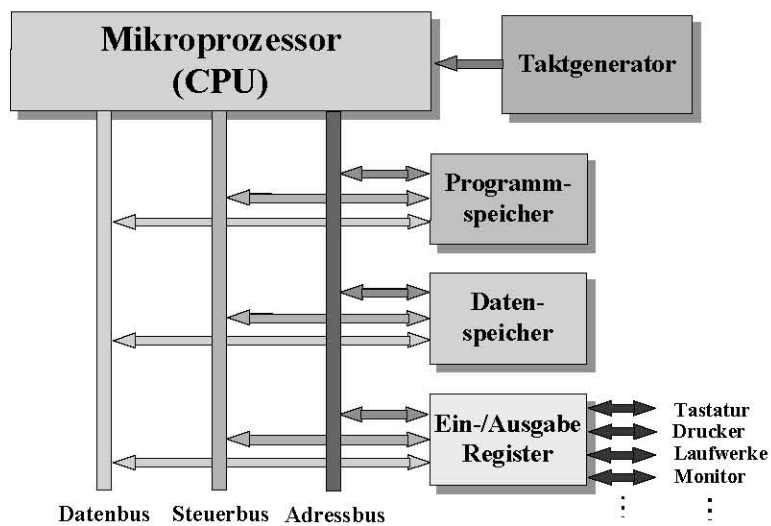
Der FrontSide Bus



Taktfrequenz [MHz]	100 MHz	133 MHz	200 MHz	266 MHz
1 Datenwort pro Takt	FSB100	FSB133	FSB200	FSB266
DDR = 2 Datenwörter pro Takt	FSB200	FSB266	FSB400	FSB533
QPB = 4 Datenwörter pro Takt	FSB400	FSB533	FSB800	FSB1066



Aufbau eines Rechnersystems



## Kenngößen eines Prozessors

- **Organisation**
  - von Neumann, Harvard
- **Taktfrequenzen**
  - Interne Taktfrequenz ( ... 3 GHz ... )
  - Externe Taktfrequenz ( ... 133, 266, 400, 533, 800 MHz)
- **Datenbus - Breite**
  - ... 16, 32, 64, ... [Bit]
- **Adressraum**
  - ... 64k, 512k, 2M, 8M, 4G, 64G, ....
- **Registersatz**
  - Anzahl der Register
  - Datenbreite der Register



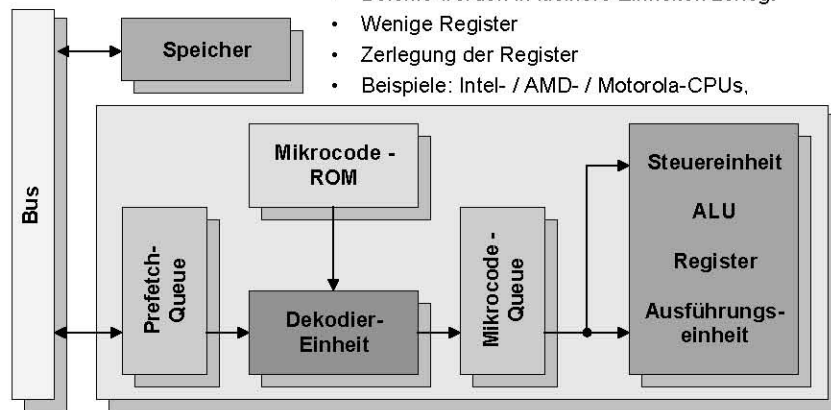
## Kenngößen eines Prozessors

- **Komplexität der Maschinenbefehle**
  - RISC, CISC
- **Rechenleistung**
  - [MIPS], [MFLOPS], ...
- **Leistungsfähigkeit der internen Komponenten**
  - ALU, FPU, AGU, Cache
- **Leistungsaufnahme**
- **Verfügbare Entwicklungswerkzeuge**
  - Simulator, Emulator, Compiler
- **Preis**



Complex Instruction Set Computer (CISC)

- Merkmale:
- Sehr viele und komplexe Befehle
  - Unterschiedlich lange Befehle (1 - 6 Byte)
  - Befehle werden durch Mikrocode realisiert
  - Befehle werden in kleinere Einheiten zerlegt
  - Wenige Register
  - Zerlegung der Register
  - Beispiele: Intel- / AMD- / Motorola-CPU's.



Von CISC zu RISC Architekturen

Probleme bei CISC-Strukturen:

- Entstanden in Zeiten schlechter Compiler und großer Geschwindigkeitsunterschiede zwischen Speicher und Prozessor
- Die Befehle sollten möglichst nahe an den Hochsprachen sein (keine semantische Lücke)
- Mit jedem Befehl sollte der Prozessor viel tun

Jedoch:

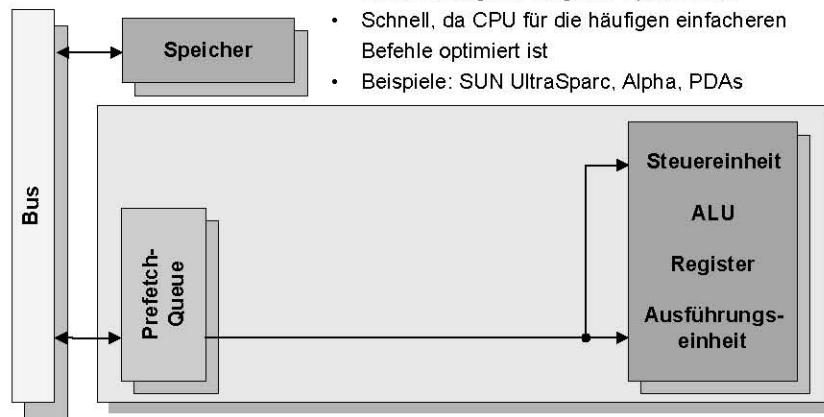
- Komplexe Befehle erfordern eine aufwendige Mikrocode-Decodierung
- CISC Befehle sind zu lang und zu kompliziert
- Meist werden jedoch von den vielen Maschinenbefehlen nur wenige sehr häufig benutzt (5 - 20% der Befehle in 60 - 80% der Ausführungszeit)
- Mehr als 80% der ausgeführten Befehle sind einfache Befehle

Deshalb → RISC-Strukturen

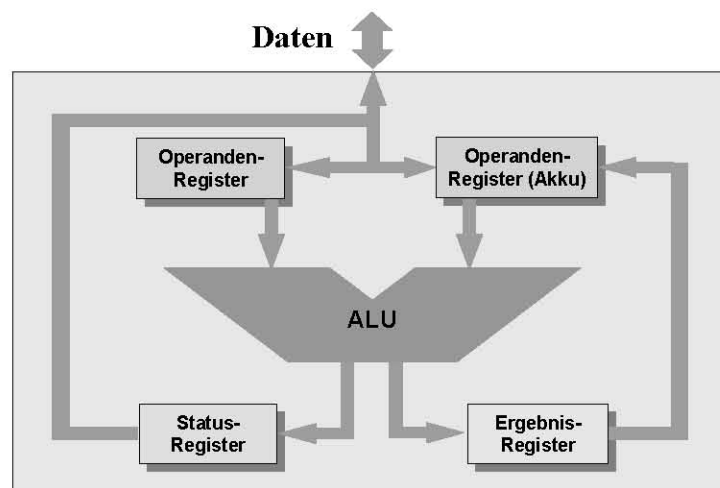
Intel Pentium ist ein Kompromiss zwischen RISC-Kern und CISC-Befehlssatz

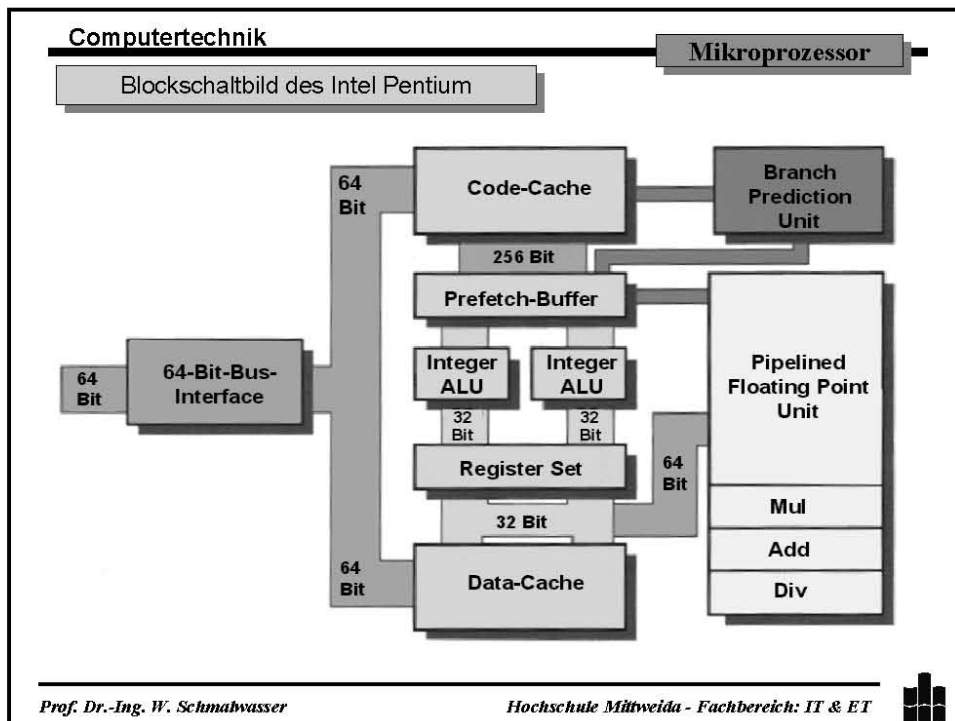
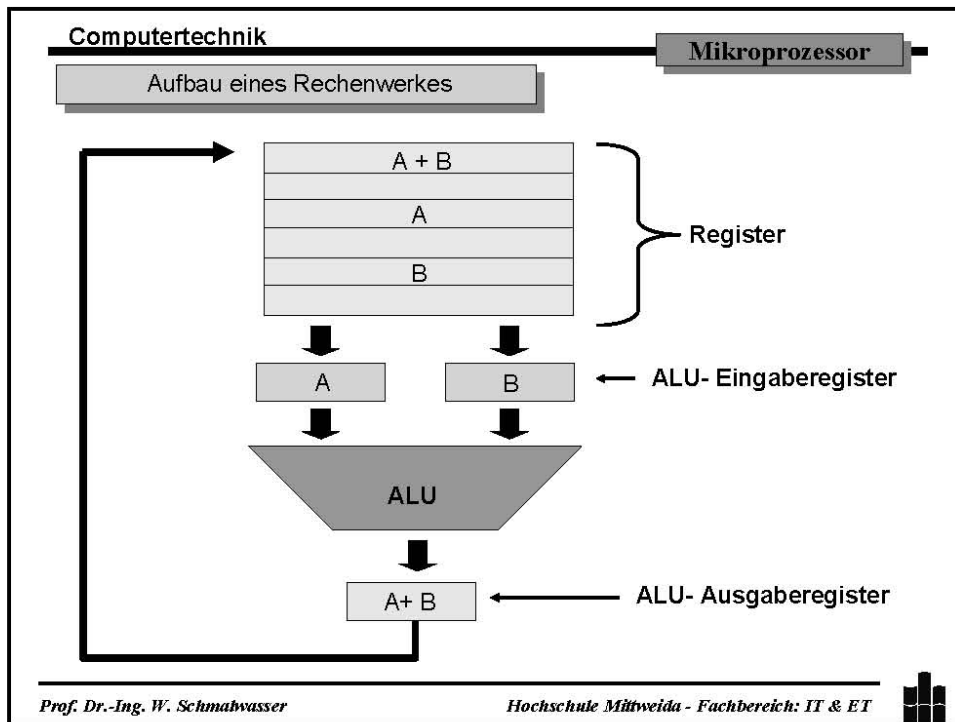
Reduced Instruction Set Computer (RISC)

- Merkmale:
- Wenige und einfache Befehle fester Länge
  - Load & Store -Architektur mit großem Registersatz
  - Pipelining
  - Schnelle Register-Register Operationen
  - Schnell, da CPU für die häufigen einfacheren Befehle optimiert ist
  - Beispiele: SUN UltraSparc, Alpha, PDAs



Aufbau eines Rechenwerkes

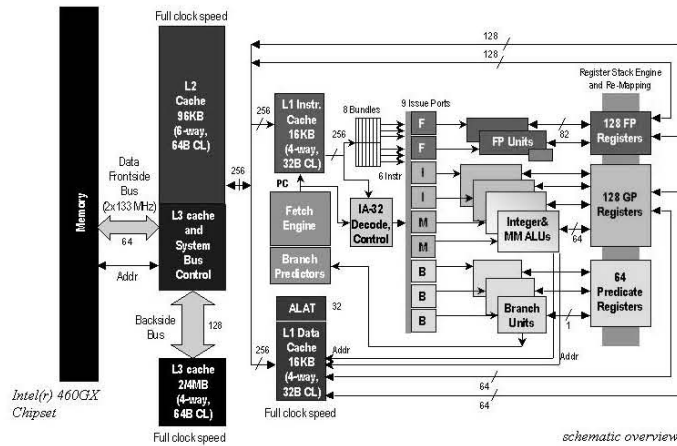








Intel Itanium - Prozessor



Little Endian und Big Endian

**Little Endian:** der am niedrigsten signifikante Teil eines Wortes steht auf der niedrigsten Byteadresse. (Intel-Prozessoren)

**Big Endian:** der am höchsten signifikante Teil eines Wortes steht auf der niedrigsten Byteadresse. (Motorola-Prozessoren)

Beispiel für das 32 Bit Wort:

**12 AB 58 4F h**

MSB ← → LSB

Adresse	xx00	xx01	xx10	xx11	xxx
Little Endian	4F	58	AB	12	...
Big Endian	12	AB	58	4F	...

Eine Invertierung der beiden letzten Adressbits bewirkt eine Umschaltung zwischen den beiden Systemen.

Adresse	xx11	xx10	xx01	xx00	xxx
Big Endian	4F	58	AB	12	...
Little Endian	12	AB	58	4F	...

Vorteile von **Little Endian:**

- Nummerierung entspricht der Wertigkeit der Binärziffern.
- Bei Erweiterung entstehen keine negativen Bitnummern.

Vorteile von **Big Endian:**

- Inkrementieren der Adresse liefert das nächste Zeichen.
- Verlängern der Zeichenkette ist einfach.

Intel Net Burst Microarchitecture

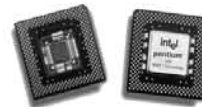


Begriff	Erläuterung
µPGA-Sockel	478 Pins
400 MHz quad pumped bus	2 Flanken + 2 Strobesignale pro Takt = 4 x 100 MHz; Bandbreite bis 3,2 GByte/s
Hyper Pipelined Technology	Verdopplung der Integer Pipeline Tiefe auf 20 Stufen; insgesamt können 126 µOPs gleichzeitig verarbeitet werden
Advanced Transfer Cache	256/512 KByte großer L2 Cache (128 Byte Cache Lines)
Advanced Dynamic Execution	Datenflussanalyse; Speculative Execution; Multiple Branch Prediction
Internet Streaming SIMD Extension 2 (ISSE2)	144 neue Befehle für Integer und Floating Point Operationen; entspricht 128 Bit MMX Implementierung für ehemals 64 Bit
Rapid Execution Engine	3 ALU; 2 AGU; 2 FPU; die ALUs arbeiten mit doppeltem Core-Takt
Execution Trace Cache	L1 Cache für max. 12.000 µOps mit eigener Sprungvorhersageeinheit (BPU) + Speicher (BTB)



MMX-Technologie

- MMX = **M**ultimedia **E**xtension
- 1996 von Intel eingeführt
- 57 neue Maschinenbefehle, speziell für die Verarbeitung von Video-, Audio- und Grafik-Daten (Streams)
- Pentium-Prozessoren mit MMX-Technik
  - 4,5 Millionen Transistoren, 0,35µm-Technik
  - Taktraten von 166 MHz und 200 MHz
- SIMD (Single Instruction Multiple Data)
  - Ein Befehl kann sich auf mehrere Datenobjekte beziehen
- Verdopplung der L1-Cache-Kapazität auf dem Chip
  - Je 16 KB Daten- und Befehls-Cache
- 10 - 20 % Leistungssteigerung gegenüber gleich schnell getakteten Pentium bei Industriestandard-Benchmarks
- Bis zu über 60 % schneller bei Multimedia-Anwendungen



Begriffe moderner Prozessoren

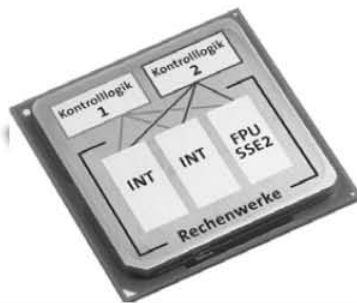
Begriff	Erläuterung
Pipeline	parallel arbeitende Einheiten, die die Befehle (Instructions) in mehreren Stufen ausführen
Out of Order Execution	Befehle, die nicht direkt voneinander abhängig sind, müssen nicht gleichzeitig ausgeführt werden
Speculative Execution	während Befehle ausgeführt werden, können nachfolgende geladen und decodiert werden
Superscalar Architecture	mehrere Verarbeitungseinheiten parallel
Virtualisierungstechnologie (Vanderpool)	ein Prozessor lässt sich in zwei Partitionen unterteilen; die je eine unabhängige Software-Umgebung bereitstellen
Hyper Transport Technology (AMD)	ersetzt traditionelle Bus-Technologien; bidirektionales serielles Breitband -Bussystem; ermöglicht vier Point to Point Verbindungen (bei Mehrprozessor-Betrieb); Takt bis 1 600 MHz; Bandbreite bis 9,6 GByte/s



Pentium 4 - Hyper-Threading (HT)



Prinzip des Hyper-Threading



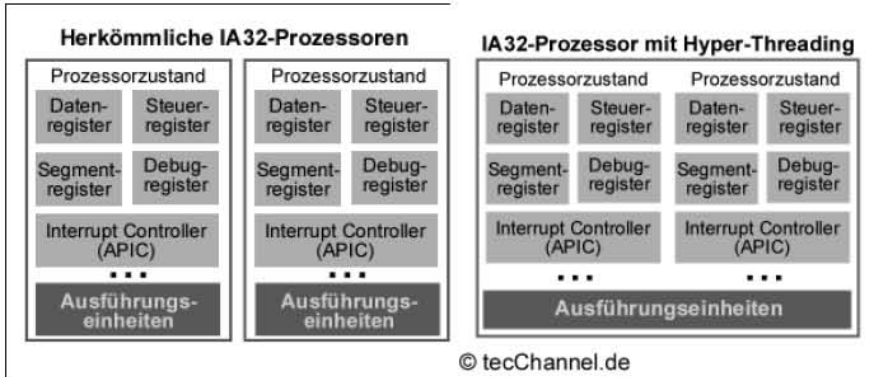
Darstellung im Gerätemanager →



- ⊕ Monitore
- ⊕ Netzwerkadapter
- ⊕ Prozessoren
  - ⊕ Intel(R) Pentium(R) 4 CPU 3.06GHz
  - ⊕ Intel(R) Pentium(R) 4 CPU 3.06GHz
- ⊕ Systemgeräte
- ⊕ Tastaturen
- ⊕ USB-Controller



Hyper-Threading Technology (HTT)



Intel Pentium D (Dual-Core Prozessor)

