

Flüchtige Speicher

Der Inhalt eines flüchtigen Speichers geht nach Ausschalten des Systems verloren.

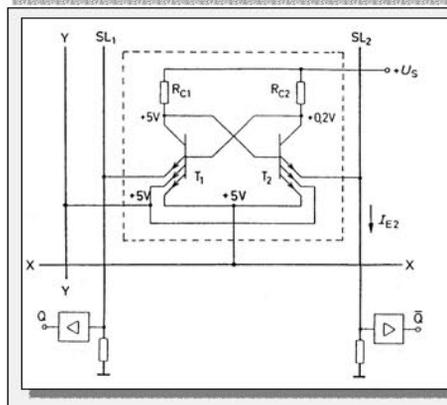
Arten flüchtiger Speicher:

- **SRAM (Static Random Access Memory)**
 - Kann **beliebig oft geschrieben und gelesen** werden
 - Der Datenerhalt erfolgt durch **Speicherung des elektrischen Zustandes** (Flip-Flop)
 - Ist **sehr schnell** und wird deshalb oft als Cache-Speicher eingesetzt
- **DRAM (Dynamic Random Access Memory)**
 - Kann **beliebig oft geschrieben und gelesen** werden
 - Der Datenerhalt erfolgt durch **ständiges Auffrischen** der Ladung eines Speicherkondensators
 - Ist **schnell** und **in großen Kapazitäten verfügbar**, wird deshalb oft als Arbeitsspeicher eingesetzt

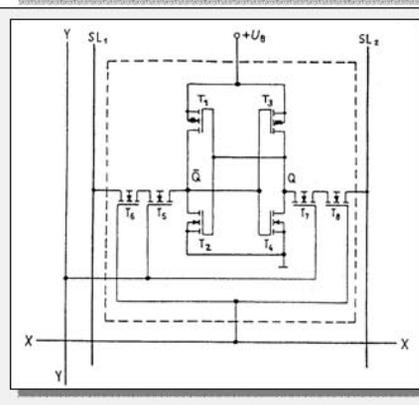


Aufbau von SRAM - Speicherzellen

Bipolare Speicherzelle (TTL-Technik)



Unipolare Speicherzelle (CMOS-Technik)



Der Static RAM (SRAM)

- **Benötigt vier bis acht Transistoren pro Speicherzelle**
 - Dadurch ist ein SRAM-Chip relativ groß und teuer
- **Sehr schnell**
 - wird demzufolge vor allem als Cache eingesetzt
- **Behält die Daten bei anliegender Spannungsversorgung**
 - Bei geringen Frequenzen und im Standby-Betrieb ist der Leistungsbedarf **äußerst gering**, deshalb werden SRAM auch oft für **batteriebetriebene Systeme** eingesetzt.

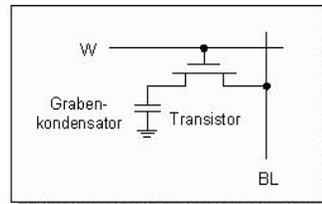
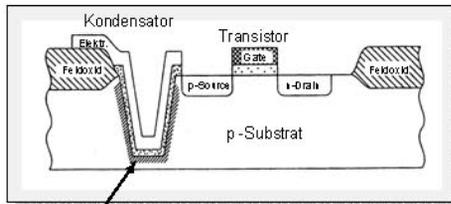
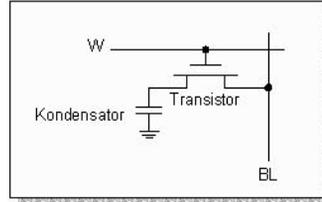
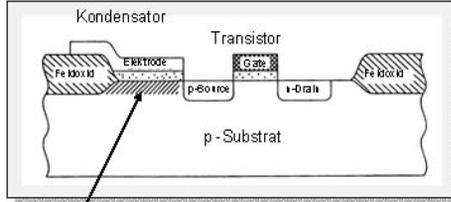


Merkmale von Halbleiterspeichern

Speicher	ROM	sRAM	
Merkmale			
Art der Adressierung	Adress orientiert	Adress orientiert	
Datenerhalt	Nicht flüchtig	flüchtig	
Organisation	Byte, Word	Byte, Word	
Zugriffszeit	100 ... 350 ns	0,1 ... 10 ns	
Kapazität	mittel ... hoch	niedrig ... mittel	
Kosten pro MB	mittel	hoch	



Aufbau von DRAM - Speicherzellen

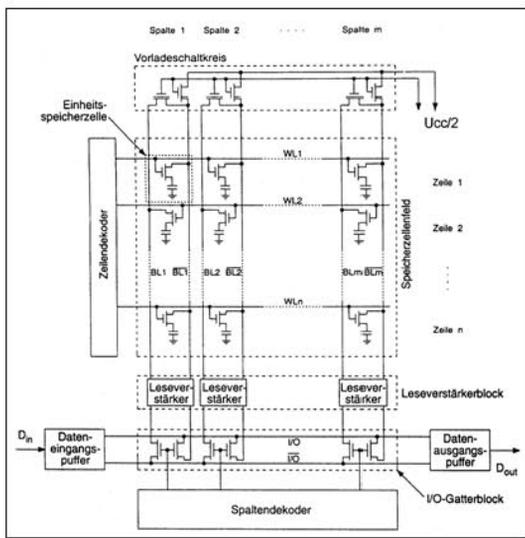


Ladungsspeicherbereich

Ladungsspeicherbereich



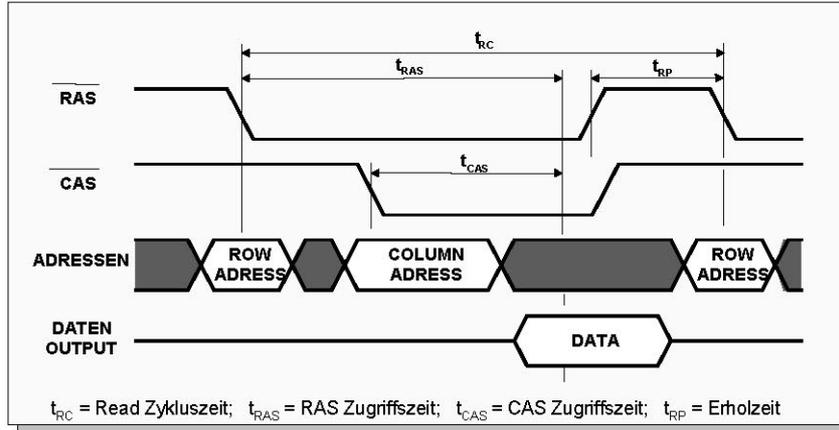
Speichermatrix eines DRAM



- Auf Grund der sehr kleinen Kapazität des Speicherkondensators erfolgt das Lesen durch Ladungsvergleich zwischen Speicherkapazität und Leitungskapazität.
- Die Spaltenleitungen (BL) werden vor dem Lesen über eine Vorladeschaltung (Precharge-Transistor) auf die Hälfte der Betriebsspannung aufgeladen.



Typischer Lesezyklus eines DRAMs



- Die RAS Zugriffszeit liegt bei 70 bis 30 ns, während die CAS Zugriffszeit nur 40 bis 5 ns beträgt.
- Die Zykluszeit berücksichtigt die notwendige Erholzeit zum Zurückschreiben der Daten und zur Vorbereitung des nächsten Zyklus.



Leistungssteigerung bei DRAMs

- durch schnellere und verbesserte Zugriffszyklen und Interfaces:
 DRAM → FPM-DRAM → EDO-DRAM → PBM-DRAM → SDRAM → SLDRAM → RDRAM → DDR-SDRAM → Direct-RDRAM → DDR2-SDRAM → **DDR3-SDRAM**
- durch zusätzliche Logik auf dem Speicherbaustein

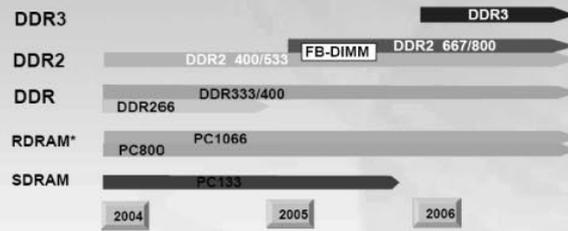
Einführung	DRAM-Typ
1987	FPM DRAM (Fast Page Mode DRAM)
1995	EDO RAM (Extended Data Output RAM)
1997	SDRAM (Synchronous Dynamic Random Access Memory)
1999	RDRAM (Rambus Dynamic Random Access Memory)
2000	DDR-SDRAM (Double Data Rate SDRAM)
2004	DDR2-SDRAM
2007	DDR3-SDRAM



DRAM Roadmap

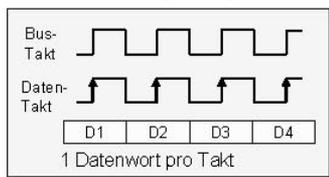
- DDR3 bietet mit der 8Bit-Prefetch-Technologie bei gleicher realer Taktfrequenz höhere Bandbreiten als DDR2 (4-Bit-Prefetch).
- Erste DDR3 Module wird es mit Taktfrequenzen von 800 bzw. 1066 MHz geben.
- Der Speicher arbeitet mit einer $V_{core} = 1,5$ V.
- Zur weiteren Energieeinsparung beherrscht DDR3-SDRAM effizientere Powermanagement-Modi.
- DDR3-Speicher haben um 15 bis 20% niedrigere Latenzzeiten beim Lesen.
- Im Jahr 2009 soll DDR3-RAM 65% Anteil am gesamten DRAM-Markt haben..

Intel Platform Memory Technology Roadmap

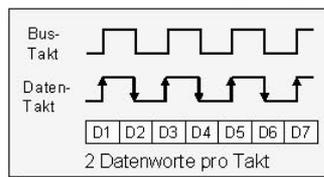


Gegenüberstellung verschied. DRAMs

Standard Signaling



Double Data Rate (DDR)



SDRAM-Typ	Speicher-Takt [MHz]	I/O-Takt [MHz]	effekt. Takt [MHz]	Prefetch	Betriebsspannung [V]
PC-133	133	133	133	kein	5 / 3,3
DDR-266	133	133	266	zweifach	2,5
DDR2-533	133	266	533	vierfach	1,8
DDR3-1066	133	533	1066	achtfach	1,5



Einfluss der Latenzzeiten

Einfluss der Latenzzeiten auf die effektive Datenrate

Zeitangaben bei DDR-RAMs: z.B.: CL 2-2-2-4 ($t_{CAS} - t_{RCD} - t_{RP} - t_{RAS}$)

Burst-Zyklusdauer = $t_{RAS} + 3 \cdot t_{CAS} + t_{RP}$; z.B.: $(20 + 30 + 10) \text{ ns} = 60 \text{ ns}$

effekt. Datenrate = $n \text{ Bit} / \text{Zykluszeit}$; z.B.: $4 \text{ Bit} / 60 \text{ ns} = 66,6 \text{ MBit/s}$

SDRAM-Typ	Timing-werte	Taktzeit [ns]	t_{CAS} [ns]	t_{RP} [ns]	t_{RAS} [ns]	theoret. Datenr. [MBit/s]	Burst-Zyklus [ns]	effekt. Datenr. [MBit/s]
DDR-400	CL 2-2-2-4	5	10	10	20	400	60	66,6
DDR2-800	CL 4-4-4-8	2,5	10	10	20	800	60	66,6
DDR3-1600	CL 8-8-8-16	1,25	10	10	20	1600	60	66,6

Eine Verdopplung der Taktfrequenzen bei gleichzeitiger Verdopplung der Latenzzeiten bringt keine Erhöhung der effektiven Datenrate.



Einfluss der Latenzzeiten

Einfluss der Latenzzeiten auf die effektive Datenrate

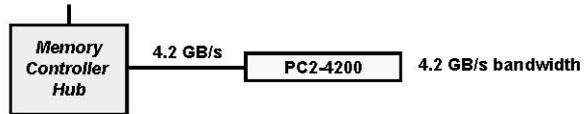
SDRAM-Typ	Timing-werte	Taktzeit [ns]	t_{RP} [ns]	t_{CAS} [ns]	t_{RAS} [ns]	theoret. Datenr. [MBit/s]	Burst-Zyklus [ns]	effekt. Datenr. [MBit/s]
DDR2-533	CL 4-4-4-8	3,75	15	30	533	90	44,4	
DDR2-1066	CL 5-5-5-15	1,87	9,4	28,2	1066	65,8	60,7	
DDR3-1066	CL 7-7-7-20	1,87	13,1	37,5	1066	89,9	44,5	
DDR3-1600	CL 9-9-9-24	1,25	11,25	30,0	1600	75,0	53,3	

Die Dauer der Latenzzeiten hat einen sehr großen Einfluss auf die effektive Datenrate.



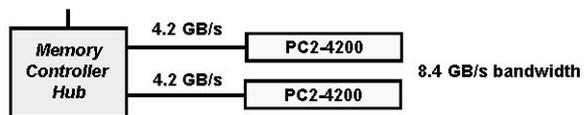
Single / Dual Channel DDR-SDRAMs

Single Channel



- Ein 64 Bit Datenkanal

Dual Channel



- Zwei 64 Bit Datenkanäle (128 Bit Datentransfer)
- Doppelte Bandbreite gegenüber Single Channel



Merkmale von Halbleiterspeichern

Speicher \ Merkmale	ROM	sRAM	dRAM
Art der Adressierung	Adress orientiert	Adress orientiert	Adressmultiplex
Datenerhalt	Nicht flüchtig	flüchtig	flüchtig
Organisation	Byte, Word	Byte, Word	Bit, Byte
Zugriffszeit	100 ... 350 ns	0,1 ... 10 ns	5 ... 100 ns
Kapazität	mittel ... hoch	niedrig ... mittel	sehr hoch
Kosten pro MB	mittel	hoch	niedrig



Wichtige Speicher - Kenngrößen

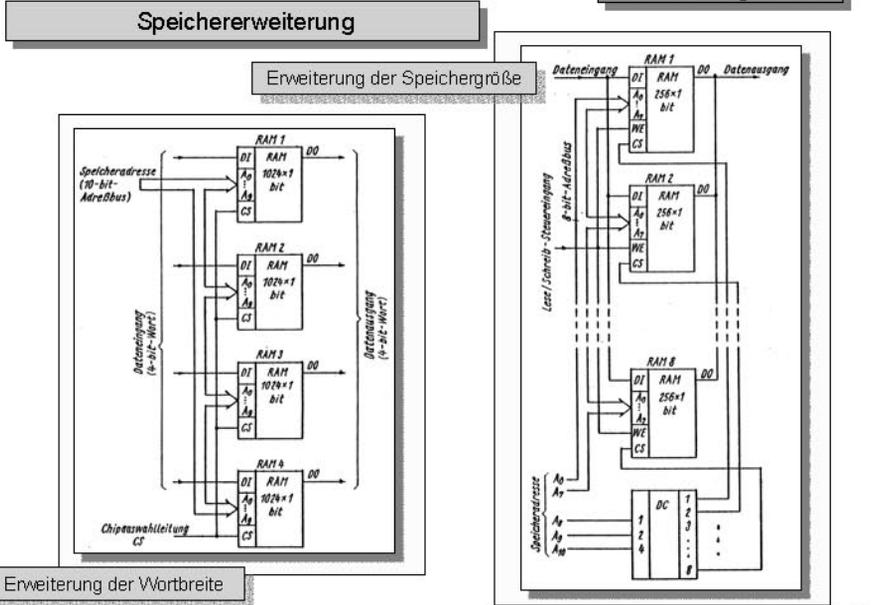
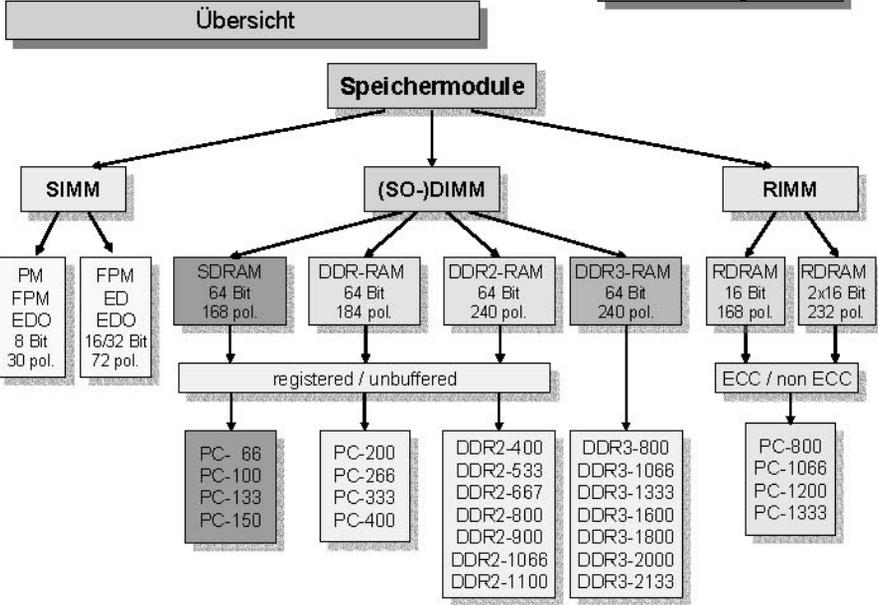
- **Typ**
ROM, RAM, statisch, dynamisch, ...
- **Organisation**
Speichergröße x Datenbreite, z.B. 64M x 8Bit
- **Größe (Kapazität)**
in MBit (in MByte umrechnen)
- **Spannungs- und Strombedarf**
wichtig für Stromverbrauch des Gesamtsystems, Standby-Betrieb, Batteriebetrieb, ...
- **Leistungsdaten der Schnittstellentreiber**
(*fan-in*, *fan-out*) Belastung durch Eingänge, Belastbarkeit der Ausgänge
- **Leistungsaufnahme**
Erwärmung des Bausteins



Wichtige Speicher - Kenngrößen

- **Zugriffszeit** (*access time*)
Zeit von Anlegen der Adresse bis zur Bereitstellung der Daten
- **Zykluszeit** (*cycle time*)
Zeit zwischen dem Anlegen zweier Adressen
(ein kompl. Speicher-zyklus)
Bei statischen RAMS's: Zykluszeit = Zugriffszeit
Bei dynamischen RAM's: Zykluszeit > Zugriffszeit
- **Setup- und Hold-Zeiten**
Zeiten, die bestimmte Signale (z.B. Read/Write) vor und nach Anlegen der Adressen stabil bleiben müssen
- **Latenzzeiten**
CAS Latency (CL)
RAS-to-CAS-Delay (T_{RCD})
RAS Precharge Time (T_{RP})



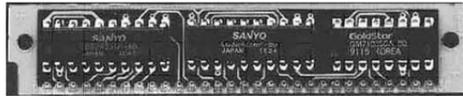


Speichermodule vom SIP zum DIMM

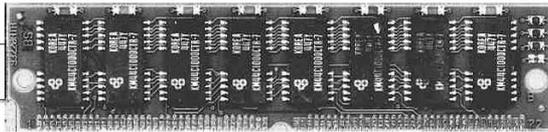
30-pol. SIP - Modul



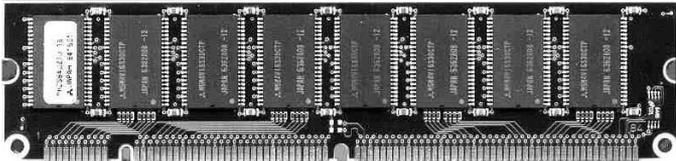
30-pol. SIMM



72-pol. SIMM (PS/2 - Modul)



168-pol. DIMM (SDRAM)



Ausführungsformen versch. DDR-Module

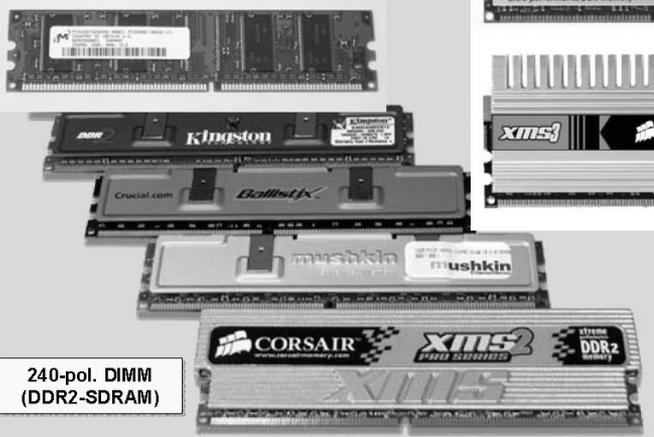
184-pol. DIMM (DDR-SDRAM)



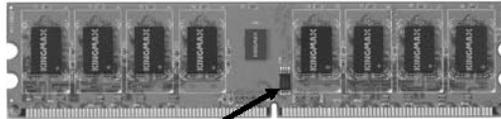
240-pol. DIMM (DDR3-SDRAM)



240-pol. DIMM (DDR2-SDRAM)



Der SPD-EEPROM



SPD = Serial Presence Detect

- In diesem seriellen EEPROM legt der Hersteller lt. Intel Standard die Kenndaten des Speichermoduls ab, die wiederum das Bios für die Konfiguration des Systems nutzt.
- Ablage von Speichertyp, Geschwindigkeit und diversen Verzögerungs- sowie Zugriffszeiten des DIMM
- Der SPD-EEPROM ist 2 KBit groß und muss schreibgeschützt sein.



Gegenüberstellung verschied. DIMMs

DIMM-Typ	Speicher-Takt [MHz]	I/O-Takt [MHz]	Effekt. Takt [MHz]	Datenrate pro Modul [MByte/s]	Datenrate Dual Channel [GByte/s]
PC-133	133	133	133	1 066	2,1
DDR-266	133	133	266	2 128	4,2
DDR2-533	133	266	533	4 264	8,4
DDR3-1066	133	533	1066	8 528	17,0

Datenrate [MByte/s] = effekt. Taktfrequenz [MHz] * Datenbreite [Byte]

Die Datenrate ist im Dual Cannel - Betrieb etwa das Doppelte der Datenrate eines einfachen Moduls.

